



KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(11) Publication No.: 2000-0018995 (43) Publication Date: 6 April 2000
(21) Application No.: 10-1998-0036879 (22) Application Date: 8 September 1998
(51) IPC Code:
H01L 21/8242

(71) Applicant:
Samsung Electronics Co., Ltd.
416 Maetan-3-dong, Paldal-gu, Suwon-City, Kyunggi-do, Korea

(72) Inventor:
WHANG, DOO SEOP

(54) Title of the Invention:

Apparatus and Method for Preventing Degradation of Ferroelectric Memory Device due to Hydrogen

Abstract:

A ferroelectric memory device and a method of fabricating the same are provided. Particularly, provided are a semiconductor device and method for fabricating the same, through which degradation of ferroelectric characteristics due to hydrogen is overcome.

The ferroelectric memory device uses a characteristic degradation preventing layer having a stack structure composed of a metal oxide layer and an insulation layer, which are formed on the top and side of a ferroelectric capacitor, thereby preventing the characteristics of a ferroelectric layer from degrading due to hydrogen during an interlayer insulation layer formation process or a passivation process.

By using the ferroelectric characteristic degradation preventing layer, the reliability of a ferroelectric capacitor and process yield can be increased in fabricating highly integrated DRAM.

RECEIVED
NOV 14 2002
TECHNOLOGY CENTER 2800

(19) 대한민국특허청 (KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁵

H01L 21/8242

(11) 공개번호

특2000-0018995

(43) 공개일자

2000년 04월 06일

(21) 출원번호 10-1998-0036879

(22) 출원일자 1998년 09월 08일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자 경기도 수원시 팔달구 매탄3동 416
황두섭

(74) 대리인 경기도 용인시 수지읍 풍덕천리 691-1 삼성2차 205-904
원태영

상사청구 : 없음

(54) 강유전체 메모리 제조를 위한 수소 열화 방지 장치 및 제조 방법

요약

본 발명은 강유전체 메모리 장치 및 그 제조 방법에 관한 것으로, 특히 수소에 의한 강유전체 특성 열화 문제를 해결한 반도체 장치 및 그 제조 방법을 제공한다.

본 발명의 강유전체 메모리 장치는 강유전체 캐패시터의 상부 및 측면 주위에 금속 산화물과 절연막의 적층 형태를 지닌 특성 열화 방지막을 사용함으로써, 후속 공정 단계인 층간 절연막 형성 단계 또는 패시베이션 단계에서 수소에 의한 강유전체 막질의 특성 열화 문제를 해소한다.

본 발명에 따른 강유전체 특성 열화 방지막을 사용함으로써, 고집적 디램 제조 공정에 있어서 강유전체 캐패시터의 신뢰성을 향상하고 공정 수율을 증대시킬 수 있다.

도면

도2

참고문헌

도면의 간단한 설명

제1도는 종래 기술에 따른 강유전체 캐패시터 구조를 나타낸 단면도.

제2도는 본 발명의 제1 실시예에 따른 강유전체 캐패시터 구조를 나타낸 단면도.

제3도는 본 발명의 제1 실시예를 적용한 시료에 대하여 수소 노출 시험 결과 측정된 강유전체 캐패시터의 분극 특성 곡선을 나타낸 도면.

제4도는 본 발명의 제1 실시예를 적용한 시료에 대하여 수소 노출 시험 결과 측정된 6인치 웨이퍼 상의 분극 특성의 산포를 나타낸 도면.

제5도는 본 발명의 제2 실시예에 따른 강유전체 캐패시터 구조를 나타낸 단면도.

제6도는 본 발명의 제3 실시예에 따른 강유전체 캐패시터 구조를 나타낸 단면도.

<도면의 주요 부분에 대한 부호의 설명>

200 : 절연막(예를 들어, TiO_2)

201 : 하부 전극

202 : 강유전체

203 : 상부 전극

204 : 금속 산화막(예를 들어, IrO_x)

205 : 절연막(예를 들어, TiO_2)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 강유전체 메모리 장치 및 그 제조 방법에 관한 것으로, 특히 수소에 의한 강유전체의 특성 열화 문제를 해결하기 위한 반도체 장치 및 그 제조 방법에 관한 것이다.

반도체 집적 회로 공정에 있어서 칩 집적도(chip density)가 증가함에 따라, 전하 저장 캐패시터가 가질 수 있는 면적은 더욱 좁아지게 되므로 단위 면적당 캐패시턴스를 증가시킬 수 있는 전하 저장 캐패시터의 개발이 필수적이다.

전하 저장 캐패시터의 단위 면적당 캐패시턴스를 증대시킬 수 있는 한 방법은 유전율이 높은 강유전체를 사용하는 것이다. 즉, 디램(dynamic random access memory; DRAM)의 전하 저장용 캐패시터의 전극간 유전체로서 $BaSrTiO_3$ (BST), $BaTiO_3$, $SrTiO_3$, $PbZrTiO_3$ (PZT) 등이 사용되고 있으며, 이들 강유전체는 100 이상의 높은 유전율을 갖는 것으로 알려져 있다.

한편, 강유전체 캐패시터에 사용되는 PZT 등의 강유전체들은 산소를 구성 성분으로 포함하고 있으며, 600~700°C의 비교적 고온에서 형성되므로 강유전체 캐패시터의 전극 물질로는 이러한 고온 환경에서 견딜 수 있고 쉽게 산화되지 않는 백금(Pt), 팔라듐(Pd) 및 루시늄(Ruthenium) 등이 사용되고 있다. 그런데, PLZT, PZT, PLT, BST 등의 강유전체 물질을 이용한 디램 제조 공정에 있어서, 상기 강유전체를 전극간 유전물질로 사용한 전하 캐패시터를 형성한 후, 수소(H_2) 가스를 포함한 소스 가스를 이용하여 후속 공정인 층간 절연막(interlayer dielectric/intermetal dielectric; ILD/IMD) 형성 공정 혹은 패시베이션(passivation) 등을 수행하게 되는데, 이때에 유입되는 수소에 의해서 강유전체의 특성이 열화하는 이

른바 수소에 의한 특성 손상(damage)이 나타나게 된다.

한편, 이와 같은 수소에 의한 강유전체 특성 손상은 강유전체 메모리의 전극으로서 일반적으로 사용하는 백금을 전극으로 채용한 경우에 가장 심각하게 발생하는 것으로 알려져 있다. 이와 같은 수소에 의한 강유전체 특성 손상의 원인으로서, 백금 전극으로 인한 수소 분자의 분해를 들고 있으며, 분해된 수소 분자는 확산 과정을 거쳐 강유전체와 반응하여 그 막질 특성을 열화시키게 된다.

이와 같은 이유에서, 배금(Pt) 전극을 이리듐옥사이드(IrO_2), 루시늄옥사이드(RuO_2), LaSrCoO_3 (LSCO) 등의 금속 산화물 전극으로 대체하려는 연구가 활발하게 진행되고 있으며, 백금 전극을 그대로 사용하는 경우에도 산소 분위기에서 열처리를 통하여 수소 손상(hydrogen damage)에 의한 영향을 최소화하기 위한 기술에 관하여, 요시히사(Yoshihisa) 등이 1997년 미국(Journal of Applied Physics)의 제82권 제341쪽 내지 제344쪽에 발표한 논문 "The effects of catalytic nature of capacitor electrodes on the degradation of ferroelectric $\text{Pb}(\text{Zr,Ti})\text{O}_3$ thin films during reductive ambient annealing"에 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 전술한 금속 산화물 전극은 백금 전극과 달리 강유전체와의 계면에서 쇼트키 장벽(schottky barrier)이 형성되지 않아 누설 전류가 두드러지게 증가하는 문제를 발생시키고, 또한 요시히사 등이 개시한 산소 열처리 기술을 이용하여 백금 전극을 산화시켜 사용하더라도 백금의 촉매 현상을 근본적으로 해결한 것이 아니므로 수소 손상을 피할 수 없다.

한편, 종래 기술에 따르면 후속 공정 진행중 수소에 의한 강유전체 특성 열화를 방지하기 위하여 Pt/PZT/Pt 구조의 셀에 TiO_2 절연막을 상부에 도포하여 수소에 의한 강유전체 특성 열화를 억제하고 있다. 즉, 제1도를 참조하면, 하부 전극으로 백금(101)을 형성한 후 그 위에 PZT막(102)을 증착하고 상부 전극(103)을 증착·패터닝하여 Pt/PZT/Pt 구조의 셀을 만든 후에 TiO_2 (100) 층을 증착하여 후속 ILD/IMD 또는 패시베이션 공정에서 실리콘 산화막과 PZT막의 측면 반응을 억제한다.

그러나, 수소 확산 방지막으로 TiO_2 를 사용하는 종래 기술은 실리콘 질화막의 패시베이션 공정 등에 사용되는 SiH_4 가스의 경우 증착 온도가 400°C의 고온이므로 강유전체의 특성 열화를 피할 수 없게 되어 작은 공정 마진과 수율의 저하 등의 문제점을 여전히 겪게 된다.

따라서, 본 발명의 제1 목적은 강유전체를 전극간 유전물질로 채용한 디램 전하 캐패시터 장치에 있어서, 후속 층간 절연막 형성 단계 또는 패시베이션 단계에 있어서, 수소에 의한 강유전체막의 특성 열화를 억제하기 위한 반도체 장치 및 그 제조 방법을 제공하는데 있다.

본 발명의 제2 목적은 상기 제1 목적에 부가하여, 강유전체를 전극간 유전물질로 채용하고 백금을 전극 물질로 사용하는 디램 전하 캐패시터 장치에 있어서, 후속 층간 절연막 형성 단계 또는 패시베이션 단계에 있어서 수소의 강유전체 메모리 셀 구조 내부로의 침투 확산을 방지하기 위한 반도체 장치 및 그 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 고집적 반도체 디램의 강유전체 전하 저장 캐패시터에 있어서, 반도체 기판 상의 절연 물질 위에 형성된 하부 전극과; 상기 하부 전극 위에 형성된 강유전체 물질과; 상기 강유전체 물질 상부에 형성된 상부 전극과; 상기 하부 전극과 상기 강유전체의 측면 및 상기 상부 전극의 상부를 둘러싼 강유전체 특성 열화 방지막을 구비하는 것을 특징으로 하는 강유전체 전하 캐패시터 장치를 제공한다.

이하, 본 발명에 따른 반도체 장치 및 그 제조 방법을 첨부 도면을 참조하여 상세히 설명한다.

제2도는 본 발명의 제1 실시예에 따른 반도체 장치를 나타낸 도면이다. 제2도를 참조하면, 먼저 강유전체 메모리 전하 캐패시터의 하부 전극(201)을 형성한 후, 그 위에 강유전체 박막(202)을 형성하고 상부 전극(203)을 증착한 후 패터닝하여 하부 전극/강유전체/상부 전극 구조의 메모리 셀을 만든 후에 강유전체 특성 열화 방지막으로서 절연막(200)/금속산화막(204)/절연막(205)의 3층 적층 형태를 형성한다.

본 발명의 바람직한 실시예로서, 메모리 전하 캐패시터의 하부 전극(201) 및 상부 전극(203)으로서 백금(Pt)을 사용할 수 있으며, 그 위에 형성된 강유전체 박막(202)으로서 BaSrTiO₃, BaTiO₃, SrTiO₃, PbZrTiO₃ 중 어느 하나를 사용할 수 있고 강유전체 특성 열화 방지막으로서 TiO₂/IrO₂/TiO₂의 3층 적층 막을 사용할 수 있다. 본 발명의 또 다른 양호한 실시예로서, 강유전체 전하 저장 캐패시터의 상부 전극(203) 및 하부 전극(201)으로서 백금(Pt) 이외에 루시늄(ruthenium), 팔라듐(palladium), 로듐(rhodium), 이리듐(iridium) 등을 사용할 수 있다.

본 발명의 제1 실시예에 따라 강유전체 특성 열화 방지막으로서 채용된 TiO₂/IrO₂/TiO₂(200, 204, 205) 구조에 있어서, IrO₂(204)막은 백금과 같이 수소 반응의 촉매 현상이 없는 전극으로서의 장점을 지니고 있을 뿐 아니라, 후속 공정 진행 시에 강유전체(202)로 공급되는 수소를 차단하는 특성을 가지고 있다.

즉, 후속 층간 절연막(ILD/IMD) 형성 공정 단계에서, 수소 공급 소스로서는 SiH₄, 실리콘 소스 가스로서는 TEOS 가스 등이 산소, 오존 NO₂와 같은 산화제와 함께 플라즈마를 형성하여 실리콘 산화막 또는 실리콘 질화막을 형성하게 되는데, 본 발명의 제1 실시예에 따른 IrO₂(204)막은 400°C 이상의 고온 패시베이션 공정 단계에서 SiH₄ 가스로부터 수소 가스의 강유전체 셀 Pt/PZT/Pt(201, 202, 203)으로의 확산을 차단하는 역할을 하며, 특히 전극으로 사용되는 경우에는 고집적화의 경우 심각하게 문제가 될 수 있는 촉매를 통한 수소의 침투로 발생하는 강유전체 특성 열화 문제를 완벽히 차단할 수 있다.

본 발명에 따른 바람직한 실시예로서, 강유전체(202) 및 강유전체 특성 열화 방지층(200, 204, 205)의 형성 방법으로 졸겔(sol-gel) 방법, 스퍼터링(sputtering) 방법, 화학기상증착(CVD) 및 물리적 증착(PLD) 방법 등을 사용할 수 있다.

본 발명의 바람직한 실시예로서, 전술한 수소 확산 억제층을 위한 박막(204)으로서 IrO₂ 이외에도 RuO₂, La(Sr)CoO₃, SrRuO₃, CaRuO₃ 등의 금속 산화물을 사용할 수 있으며, 하부층(200) 및 상부층(205)에 절연막으로서 TiO₂ 또는 Al₂O₃를 사용할 수 있다.

또한, 본 발명에 따른 양호한 실시예로서, 수소 확산 억제층을 위한 박막 및 절연층 증착 시에 산소의 공급을 충분히 하여 주기 위해, 각 박막의 증착 후 산소 열처리를 수행하여 주거나 산화가 용이하도록 증착 조건을 채용할 수 있다.

제3도는 본 발명의 제1 실시예에 따른 강유전체 전하 캐패시터에 대하여 수소 가스 패시베이션 공정을 진행한 후 분극 특성 곡선을 나타낸 도면이다. 즉, 본 발명의 제1 실시예에 따라 Pt/PZT/Pt 강유전체 전하 캐패시터에 강유전체 특성 열화 방지막 TiO₂/IrO₂/TiO₂ 적층 구조를 구비시키고, 400°C에서 5000 Å 두께의 PE-TEOS 실리콘 산화막을 증착시킴으로써 SiH₄ 가스에 노출시킨 후, 상기 실리콘 산화막을 에치백하여 노출된 상부 전극과 하부 전극 사이에 측정된 분극 특성 곡선을 나타내었다.

제3도를 참조하면, 검정색으로 색칠한 사각형(■ ; 301)으로 나타낸 곡선은 초기 Pt/PZT/Pt를 증착한 상태(as deposition)에서의 분극 특성 곡선이며, 검정색으로 색칠한 원(● ; 302)으로 나타낸 곡선은 Pt/PZT/Pt의 강유전체 메모리 셀에 본 발명의 제1 실시예에 따른 TiO₂/IrO₂/TiO₂ 특성 열화 방지막을 형성한 시료에 대하여, 400°C에서 5000 Å 만큼 PE-TEOS 실리콘 산화막을 형성하여 수소 가스에 노출시킨 후의 강유전체의 분극 특성 곡선이다.

또한, 영문자 엑스로 나타낸 곡선(X; 303)은 Pt/PZT/Pt 강유전체 메모리 셀에 증래 기술에 따른 TiO₂ 절연막만을 도포한 구조에 대하여 상기 실험 조건과 동일한 수소 가스에 노출시킨 후에 측정된 강유전체 캐패시터의 분극 특성 곡선이다.

제3도를 참조하면, 본 발명의 제1 실시예에 따라 Pt/PZT/Pt 강유전체 캐패시터의 전면에 TiO₂/IrO₂/TiO₂ 특성 열화 방지막을 도포한 시료(302)는 강유전체 증착 단계(as-deposition)에서 강유전체 캐패시터가 지녔던 분극 특성(301)을 수소 손상을 받지 않고 그대로 유지하고 있음을 알 수 있으며, 반도체 증래 기술에 따라 Pt/PZT/Pt 강유전체 캐패시터 상부에 TiO₂ 절연막을 도포한 시료(303)는 잔류 분극량이 매우 열화되었으며, 뒤돌린 분극량 인가 전압 특성 곡선을 나타내고 있다.

여것은, 종래 기술에 따른 강유전체 구조의 시료(303)는 후속 PE-TEOS 실리콘 산화막 형성 공정 단계에서 수소에 의한 강유전체 막질 열화가 심각하게 발생하였음에 반하여, 본 발명에 따른 $TiO_2/IrO_2/TiO_2$ 보호막을 갖춘 강유전체 구조의 시료(302)는 수소에 의한 막질 열화가 거의 이루어지지 않았음을 의미한다.

제4도는 본 발명의 제1 실시예에 따른 강유전체 캐패시터에 대하여 펄스 파를 이용하여 6인치 웨이퍼 상의 여러점에서 측정한 분극량의 산포도를 나타낸 도면이다. 여기서, R, L, C, T, B는 각각 웨이퍼 상의 오른쪽, 왼쪽, 센터, 상부, 하부를 나타낸다.

제4도를 참조하면, 초기 Pt/PZT/Pt를 증착한 상태에서 측정된 분극량의 산포(300)와 본 발명의 제1 실시예에 따른 수소에 의한 특성 열화 방지막을 갖춘 시료(301)의 분극량은 $13 \sim 14 \mu\text{Coul/cm}^2$ 으로서 분극량이 PE-TEOS 공정 진행 후에도 거의 변화가 없으나, 종래 기술에 따라 TiO_2 절연막만을 사용한 시료(303)의 분극량은 $5 \mu\text{Coul/cm}^2$ 으로 특성이 열화되었음을 나타내고 있다.

제3도 및 제4도에 나타낸 실험 결과에 따라, 본 발명의 실시예에 따른 IrO_2 막이 수소의 확산 저지층으로서 매우 효과적으로 작용하고 있음을 알 수 있으며, 이는 강유전체막을 사용한 고집적 메모리 공정에서 후속 산화막 또는 절화막 형성 단계에서의 수소 손상을 방지할 수 있다.

제5도는 본 발명의 제2 실시예에 따른 강유전체 캐패시터를 나타낸 단면도이다. 제5도를 참조하면, 강유전체 메모리 전하 캐패시터 Pt/PZT/Pt(201, 202, 203) 구조 상부에 강유전체 특성 열화 방지막으로서 TiO_2 (200)막과 IrO_2 (204)막의 2층 형태의 적층 구조를 사용하고 있다.

본 발명에 따른 양호한 실시예로서, 강유전체 캐패시터의 상부(203) 및 하부 전극(201)으로 백금(Pt), 팔라듐(Pd), 로듐(Rhodium) 등을 사용할 수 있으며, 강유전체 박막(202)으로서 BST, PZT 등을 사용할 수 있다.

제6도는 본 발명의 제3 실시예에 따른 반도체 장치를 나타낸 도면이다. 제6도를 참조하면, 강유전체 메모리 전하 캐패시터 Pt/PZT/Pt(201, 202, 203)의 상부에 IrO_2 또는 IrO_2/TiO_2 의 적층막(210)을 형성한 후 상부 전극(203)과 함께 패턴 형성함으로써 공정 단계를 단순화시킬 수 있다.

전술한 내용은 후술할 발명의 특허 청구 범위를 보다 잘 이해할 수 있도록 본 발명의 특징과 기술적 장점을 다소 폭넓게 개설하였다. 본 발명의 특허 청구 범위를 구성하는 부가적인 특징과 장점들이 이하에서 상술될 것이다. 개시된 본 발명의 개념과 특정 실시예는 본 발명과 유사 목적을 수행하기 위한 다른 구조의 설계나 수정의 기본으로서 즉시 사용될 수 있음이 당해 기술 분야의 숙련된 사람들에 의해 인식되어야 한다.

또한, 본 발명에서 개시된 발명 개념과 실시예가 본 발명의 동일 목적을 수행하기 위하여 다른 구조로 수정하거나 설계하기 위한 기초로서 당해 기술 분야의 숙련된 사람들에 의해 사용되어질 수 있을 것이다. 또한, 당해 기술 분야의 숙련된 사람에 의한 그와 같은 수정 또는 변경된 등가 구조는 특허 청구 범위에서 기술한 발명의 사상이나 범위를 벗어나지 않는 한도 내에서 다양한 변화, 치환 및 변경이 가능하다.

발명의 효과

이상과 같이 본 발명에 따른 강유전체 캐패시터 장치는 종래 기술이 지녔던 층간 절연막 형성을 위한 실리콘 산화막 또는 실리콘 질화막 공정 단계에서의 수소에 의한 강유전체막의 특성 열화 문제를 해결한 기술로서, 강유전체 캐패시터의 상부에 수소 침투 방지를 위한 $TiO_2/IrO_2/TiO_2$ 구조의 적층 방지막을 사용함으로써, PE-TEOS 공정 이후 강유전체 캐패시터의 분극 특성 곡선의 열화 및 잔류 분극량의 감소를 억제할 수 있다.

또한, 본 발명에 따른 강유전체 캐패시터 장치는 후속 층간 절연막 형성 단계 또는 패시베이션 단계에서 수소 소스 가스에 의한 수소 손상 문제를 해결한 기술로서, 고집적 디램 공정에 적용할 경우 메모리 셀의 신뢰성 향상 및 수율 증대를 기대할 수 있다.

(57) 청구의 범위

청구항 1. 고집적 반도체 디램의 강유전체 전하 저장 캐패시터에 있어서,

반도체 기판 상의 절연 물질 위에 형성된 하부 전극과;

상기 하부 전극 위에 형성된 강유전체 물질과;

상기 강유전체 물질 상부에 형성된 상부 전극과;

상기 하부 전극과 상기 강유전체의 측벽 및 상기 상부 전극의 상부를 둘러싼 강유전체 특성 열화 방지막
을 구비하는 것을 특징으로 하는 강유전체 전하 캐패시터 장치.

청구항 2. 제1항에 있어서, 상기 강유전체 특성 열화 방지막은 후속 반도체 공정 진행 단계에서 공급되는 수소와 반응함으로써 상기 강유전체막으로의 수소 공급을 억제하는 것을 특징으로 하는 강유전체 전하 캐패시터 장치.

청구항 3. 제1항에 있어서, 상기 강유전체 특성 열화 방지막은 후속 반도체 공정 진행 단계에서 공급되는 수소의 확산을 저지함으로써 상기 강유전체막으로의 수소 공급을 억제하는 것을 특징으로 하는 강유전체 캐패시터 장치.

청구항 4. 제1항에 있어서, 상기 강유전체 특성 열화 방지막은 제1 절연막 상부에 금속 산화물을 형성하여 2층의 적층 형태를 구비하는 것을 특징으로 하는 강유전체 전하 캐패시터 장치.

청구항 5. 제1항에 있어서, 상기 강유전체 특성 열화 방지막 제1 절연막 상부에 금속 산화물을 형성하고, 상기 금속 산화물 상부에 제2 절연막을 형성하여 3층의 적층 형태를 구비하는 것을 특징으로 하는 강유전체 전하 캐패시터 장치.

청구항 6. 제4항 또는 제5항에 있어서, 상기 제1 절연막은 TiO_2 또는 Al_2O_3 중의 어느 하나로 구성됨을 특징으로 하는 강유전체 전하 캐패시터 장치.

청구항 7. 제4항 또는 제5항에 있어서, 상기 제1 절연막 상부에 형성하는 상기 금속 산화물은 IrO_x , RuO_x , $(LaSr)CoO_x$, $SrRuO_x$, $CaRuO_x$ 중의 어느 하나로 구성됨을 특징으로 하는 강유전체 전하 캐패시터 장치.

청구항 8. 제5항에 있어서, 상기 제2 절연막은 TiO_2 또는 Al_2O_3 중의 어느 하나를 사용하는 것을 특징으로 하는 강유전체 전하 캐패시터 장치.

청구항 9. 고집적 반도체 디램의 강유전체 전하 저장 캐패시터에 있어서,

반도체 기판 상의 절연 물질 위에 형성된 하부 전극과;

상기 하부 전극 위에 형성된 강유전체 물질과;

상기 강유전체 물질 상부에 형성된 상부 전극과;

상기 상부 전극 상부에 상기 상부 전극에 정렬되어 형성된 제1 강유전체 특성 열화 방지막과;

상기 금속 산화물 상부 및 측벽과, 상기 상부 전극 및 상기 강유전체와 상기 하부 전극의 측벽을 둘러싼 제2 강유전체 특성 열화 방지막

을 구비하는 것을 특징으로 하는 강유전체 캐패시터 장치.

청구항 10. 제9항에 있어서, 상기 제1 강유전체 특성 열화 방지막 IrO_x , RuO_x , $(\text{LaSr})\text{CoO}_x$, SrRuO_x , CaRuO_x 중 어느 하나로 구성됨을 특징으로 하는 강유전체 캐패시터 장치.

청구항 11. 제9항에 있어서, 상기 제2 강유전체 특성 열화 방지막은 TiO_x 를 구비하는 것을 특징으로 하는 강유전체 캐패시터 장치.

청구항 12. 고집적 반도체 디램의 강유전체 전하 저장 캐패시터를 제조하는 방법에 있어서,

반도체 기판 상에 형성된 절연 물질 상부에 상기 강유전체 전하 저장 캐패시터를 위한 하부 전극을 위한 박막을 증착하는 단계;

상기 하부 전극을 위한 박막을 패턴 형성하는 단계;

상기 하부 전극 위에 강유전체 물질을 도포하는 단계;

상기 강유전체 물질에 대해 패턴 형성하는 단계;

상기 강유전체 물질 상부에 상부 전극을 형성하는 단계;

상기 상부 전극을 패턴 형성하는 단계;

상기 하부 전극과 상기 강유전체의 측면 및 상기 상부 전극의 상부에 강유전체 특성 열화 방지막을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

청구항 13. 제12항에 있어서, 상기 하부 전극을 위한 박막을 증착하는 단계는 백금(Pt)을 증착하는 단계를 포함하는 강유전체 캐패시터의 제조 방법.

청구항 14. 제12항에 있어서, 상기 하부 전극 위에 강유전체 물질을 도포하는 단계는 BaSrTiO_x , BaTiO_x , SrTiO_x , PbZrTiO_x 중 어느 하나를 도포하는 단계를 포함하는 강유전체 캐패시터의 제조 방법.

청구항 15. 제12항에 있어서, 상기 강유전체 물질 상부에 상부 전극을 형성하는 단계는 백금(Pt)을 증착하는 단계를 포함하는 강유전체 캐패시터의 제조 방법.

청구항 16. 제12항에 있어서, 상기 강유전체 특성 열화 방지막을 형성하는 단계는,

상기 강유전체 캐패시터 구조물 전면에 제1 절연막을 도포하는 단계;

상기 제1 절연막 상부에 금속 산화물을 도포하는 단계

를 포함하는 것을 특징으로 하는 강유전체 캐패시터 제조 방법.

청구항 17. 제16항에 있어서, 상기 제1 절연막 상부에 금속 산화물을 도포하는 단계는 상기 금속 산화물을 도포하는 단계는 상기 금속 산화물 상부에 제2 절연막을 도포하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 캐패시터 제조 방법.

청구항 18. 제16항 또는 제17항에 있어서, 상기 제1 절연막을 도포하는 단계는 TiO_2 또는 Al_2O_3 중 어느 하나를 도포하는 단계를 포함하는 강유전체 캐패시터의 제조 방법.

청구항 19. 제16항 또는 제17항에 있어서, 상기 제1 절연막 상부에 금속 산화물을 도포하는 단계는 IrO_2 , RuO_2 , $(LaSr)CoO_3$, $SrRuO_3$, $CaRuO_3$ 중 어느 하나를 도포하는 단계를 포함하는 강유전체 캐패시터의 제조 방법.

청구항 20. 제17항에 있어서, 상기 금속 산화물 상부에 제2 절연막을 도포하는 단계는 TiO_2 또는 Al_2O_3 중 어느 하나를 도포하는 단계를 포함하는 강유전체 캐패시터의 제조 방법.

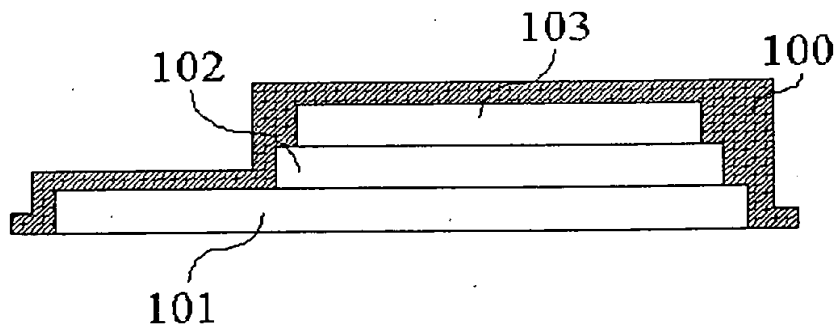
청구항 21. 제12항에 있어서, 상기 상부 전극의 상부에 강유전체 특성 열화 방지막을 형성하는 단계는 졸겔(sol-gel), 스퍼터링, CVD 또는 PLD 방식 중 어느 하나의 방법을 사용하여 형성하는 단계를 포함하는 강유전체 캐패시터의 제조 방법.

청구항 22. 제12항에 있어서, 상기 상부 전극의 상부에 강유전체 특성 열화 방지막을 형성하는 단계는 후속 산소 열처리 단계를 더 포함하는 것을 특징으로 하는 강유전체 캐패시터의 제조 방법.

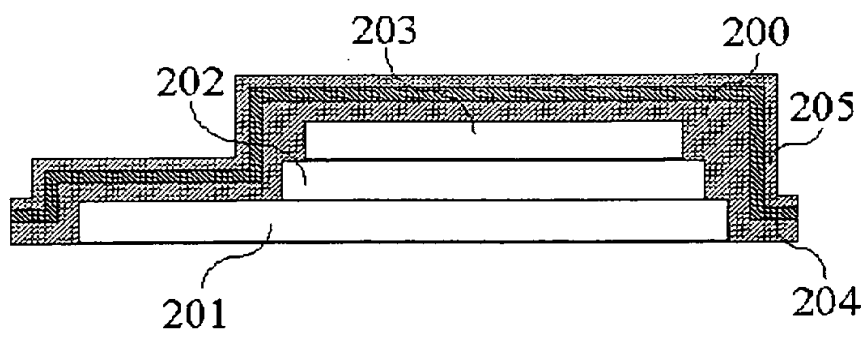
청구항 23. 제12항에 있어서, 상기 상부 전극의 상부에 강유전체 특성 열화 방지막을 형성하는 단계는 산화가 용이한 증착 조건에서 상기 강유전체 특성 열화 방지막을 형성하는 단계를 포함하는 강유전체 캐패시터의 제조 방법.

도면

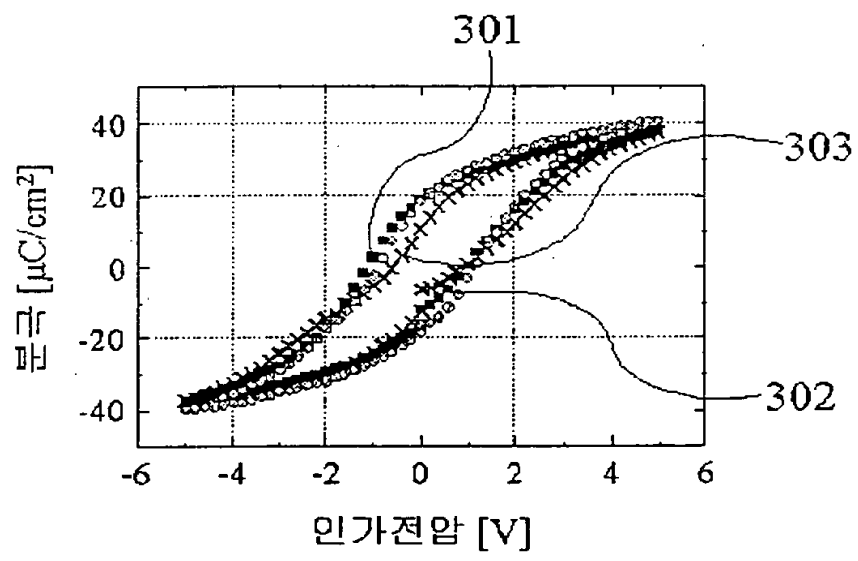
도면1



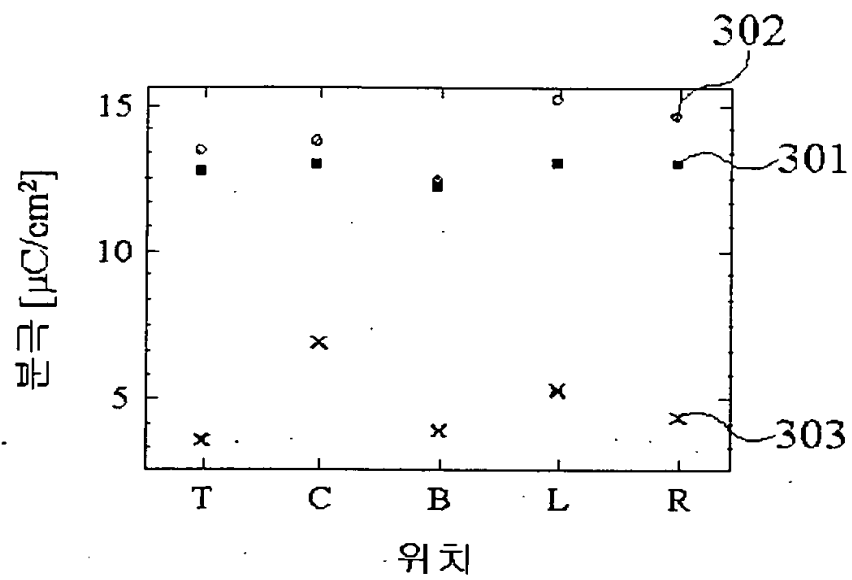
도면2



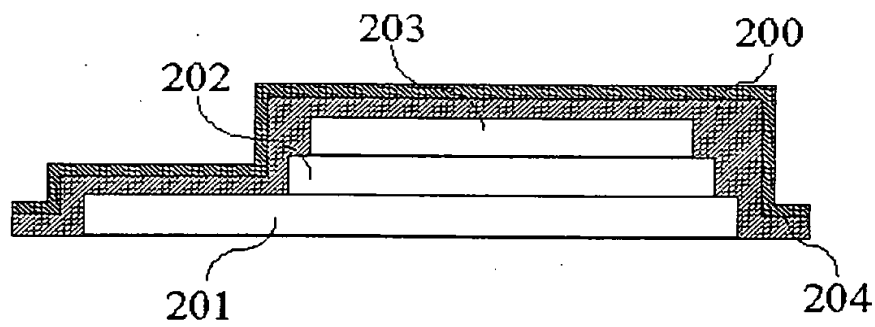
도면3



도면4



도면5



도면6

